⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平3−165550

⑤1Int.Cl.⁵　識別記号　庁内整理番号　⑬公開　平成3年(1991)7月17日

H 01 L 25/065
25/07
25/18

7638−5F　H 01 L 25/08　B

審査請求　未請求　請求項の数 1　(全3頁)

⑤4発明の名称　高実装密度型半導体装置

⑳特　願　平1−305678

㉒出　願　平1(1989)11月24日

⑦2発明者　八代　誠司　茨城県日立市助川町3丁目1番1号　日立電線株式会社電線工場内

⑦1出願人　日立電線株式会社　東京都千代田区丸の内2丁目1番2号

明細書

1．発明の名称　高実装密度型半導体装置

2．特許請求の範囲

1．同一パッケージ内の同一リードフレーム上に複数個の半導体チップを積層させて実装密度を向上させるようにした高実装密度型半導体装置において、前記半導体チップのうち、下段のチップは上段のチップより平面積が大きく且つその電極端子が該平面部の周辺に沿って配置され、上段のチップは下段チップの前記平面上に絶縁性接着剤で接着されて立体的に積層され、該両チップの電極端子は夫々個別に又は共用されてベース材たるリードフレームのインナーリード上に配線接続されてなることを特徴とする高実装密度型半導体装置。

3．発明の詳細な説明

［産業上の利用分野］

本発明は、同一パッケージ内の同一リードフレーム上に複数個のＩＣを収納するようにした高実装密度型半導体装置に関するものである。

［従来の技術］

ＩＣの高性能化、高容量化には目覚しいものがあるが、これに伴ってパッケージングにも種々の工夫がなされ、配線の超微細化と共にチップの収納率（パッケージに占めるチップの面積）をこれ迄の４０％から８０％以上に改善する努力が続けられた。その後この収納率を更に上昇させるため、リードフレームの構造をタブ（アイランド）を有する形状からリードピン上にフィルムを貼付けてチップを搭載するＣＯＬ（Chip On Lead）方式、或いはリードピンの下にフィルムを貼付けてチップを搭載するＬＯＣ（Lead On Chip）方式等が用いられるようになったが、現状では更に収納率を高めるため、例えば特開昭６２−７３７４８号公報、或いは特開昭６１−１１７８５８号公報等にみられるように、複数個の半導体チップを積めて同一パッケージ内に実装する高密度実装方式が用いられるようになった。

［発明が解決しようとする課題］

上述したようにＩＣの実装密度を高めるため種々の改善工夫がなされているが、ＩＣの平面的な配置ではすでに収納率に限界があるため、現状ではチップを立体的にマウントする実装方式が検討されている。しかし、この方式にもなお幾つかの課題が残されており、例えば上述の特開昭６２－７３７４８号公報では各チップを背中合わせに取付けるため配線系がやや面倒になる恐れがあり、又特開昭６１－１１７８５８号公報の場合は同一大きさのチップを絶縁層に介して間隔をおいて立体的に積上げるためパッケージが大きくなる嫌いがある。又、両方式ともリードが上段、下段と分離されるのでアウターリードの先端部が複数列となり取付が複雑となる傾向がある。

本発明の目的は、実装密度を向上し且つ配線が容易な高実装密度型半導体装置を提供することにある。

［課題を解決するための手段］

本発明は、同一パッケージ内に複数個の半導体チップを収納して実装面積の縮少化を計る高実装密度型半導体装置において、下段のチップは上段のチップより平面積が大きく且つその電極端子がこの平面部の周辺に沿って配置され、上段のチップはその平面部が下段チップの平面上に絶縁性接着剤で接着されて立体的に積層され、両チップの電極端子は個別又は共用されてベース材たるリードフレームのインナーリード上に配線接続されてなることを特徴としており、実装密度の向上及び配線の容易化が得られるようにして目的の達成を計っている。

［作用］

本発明の高実装密度型半導体装置では複数個のＩＣチップを同一パッケージ内に実装する場合、チップの平面積が大，小夫々異なるチップを組合せて用い、チップが二個の場合は平面積の大きいチップを下段に置き、その上に平面積の小さなチップを積層して絶縁性接着剤で接着させ、又下段チップの電極端子を平面部の周辺に沿って配列するようにし、更にベース材たるリードフレームのインナーリードに上記各チップの端子をボンディングワイヤで接続するようにしているので、実装密度の縮少が実現できると共に、両チップの配線を行う場合、端子間或いは端子－インナーリード間と自在に接続できるので配線が極めて容易となる利点が得られる。

［実施例］

以下、本発明の実施例について図により説明する。第１図は本発明の高実装密度型半導体装置の一実施例を示す斜視図である。同図において、１は半導体チップＡ、２は半導体チップＢ、３はチップ１及びチップ２を接着する絶縁性接着剤、４及び５は夫々チップ１及びチップ２の電極端子、６はインナーリード、７は電極端子４或いは電極端子５とインナーリード６とを接続するボンディングワイヤ、８はチップ１，２を搭載するベース材たるリードフレームのアイランド部、線９はパッケージングの位置を示し、その内部が絶縁材により封止されることになる。

この図より明らかなようにチップ１の平面積はチップ２の平面積より大きく、電極端子４はチップ１の平面部周辺に配列されているから、チップ２をチップ１の上に密着させて一体化することが可能となり、収納スペースを極めて小さくすることができる。又ボンディングする場合は電極端子４及び５を単独に又は共用させてインナーリード６に接続することができるので、配線を簡単且つ整然と行うことができる。

［発明の効果］

以上述べたように本発明によれば次のような効果が得られる。

(1) ＩＣチップの実装密度を向上させ、同時に配線の容易化を実現することができる。

(2) 実装密度の向上、配線の容易化により製造コストの低減を計ることができる。

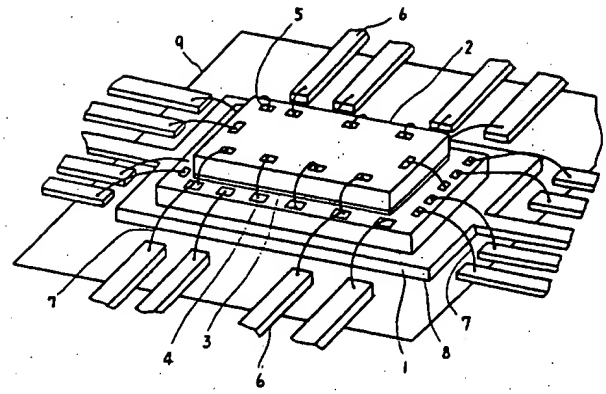
(3) 各チップを密着して積層させることができるので素子の機械的強度を向上させることができる。

４．図面の簡単な説明

第１図は本発明の高実装密度型半導体装置の一実施例を示す斜視図である。

1，2：半導体チップ、
3：接着剤、
4，5：チップ端子、
6：インナーリード。

第 1 図



1，2：半導体チップ　3：接着剤　4，5：チップ端子
6：インナーリード

出　願　人　　日立電線株式会社

[Translation]

(19) Japanese Patent Office (JP)
(11) Japanese Patent Application Kokai Publication No. Hei 3-165550
(12) Official Gazette for Kokai Patent Applications (A)
(43) Kokai Publication Date: July 17, 1991
(51) Int. Cl.[5] Identification No. JPO File No.
H01L 25/065
25/07
25/18
7638-5F H01L 25/08 B

Number of claims: 1 Examination request: Not filed (total 3 pages [original])

(54) Title of the Invention: HIGH MOUNTING DENSITY TYPE SEMICONDUCTOR DEVICE

(21) Application No. Hei 1-305678
(22) Filing Date: November 24, 1989

(72) Inventor: YASHIRO, Seiji
c/o Hitachi Cable Co., Ltd. 3-1-1 Sukegawa-cho, Hitachi-shi, Ibaraki-ken
(71) Applicant: Hitachi Cable Co., Ltd.
3-1-1 Sukegawa-cho, Hitachi-shi, Ibaraki-ken

Specification

1. Title of the Invention

HIGH MOUNTING DENSITY TYPE SEMICONDUCTOR DEVICE

2. Claims

A high mounting density type semiconductor device, wherein a plurality of semiconductor chips are stacked on the same lead frame within the same package so as to increase the mounting density, said high mounting density type semiconductor device characterized by the fact that, among said semiconductor chips, the chip on the lower stage has a greater surface area than the chip on the upper stage, the electrode terminals thereof are arranged on the perimeter of the surface thereof, the chip on the upper stage is bonded by an insulating adhesive and stacked three-dimensionally on said surface of said lower chip, and the electrode terminals of said two chips are separately or commonly connected by wiring on the inner leads of a lead frame which forms a base material.

3. Detailed Description of the Invention.

(Industrial Field of Application)

The present invention concerns a high mounting density type semiconductor device that allows a plurality of integrated circuits to be held on the same lead frame in the same package.

(Prior Art)

Advances in the performance and capacity of integrated circuits have been startling, but in conjunction with these advances various contrivances have been employed in packaging, and efforts to improve the chip housing ratio (the surface area of the chip that can be held within a package) from its current 40% to 80% or above, along with refinement of wiring, have continued. Recently, in order to increase the housing ratio further, the structure of the lead frame has used a COL (chip on lead) system, whereby a chip is bonded to film on lead pins from a form having tabs (islands), or a LOC (lead on chip) system, whereby the chip is bonded to the frame under the lead pins, have been used. At the present time, however, in order to improve the housing ratio further, as seen in, for example, Japanese Unexamined Patent Application Publication ["JPA"] Sho 62-73748 and JPA Sho 61-117858, a high-density mounting method whereby a plurality of semiconductor chips are mounted together in a package, has come to be used.

(Problems That the Invention Is to Solve)

As explained above, various contrivances have been tried for increasing the mounting density of integrated circuits, but since there is a limit to the housing ratio in the flat arrangement of integrated circuits, at the present time mounting methods whereby chips are mounted three-dimensionally are being studied. Nevertheless, several problems have remained in this type of system. For example, in JPA Sho 62-73748, there is concern that the wiring system by which each chip is fixed to the back will become somewhat involved, and in the case of JPA Sho 61-117858 since chips of the same size are stacked three-dimensionally with an interval between them, there is concern that a package size will increase. In both of these methods, since the leads are divided between the upper stage and lower stage, the end of the outer leads form multiple rows, and attachment tends to be complex.

The objective of the present invention is to offer a high mounting density type semiconductor device in which mounting density is improved and wiring is simple.

[Means Used to Solve the Problems]

The present invention is a high mounting density type semiconductor device, wherein a plurality of semiconductor chips are stacked on the same lead frame within the same package so

as to increase the mounting density, said high mounting density type semiconductor device characterized by the fact that, among said semiconductor chips, the chip on the lower stage has a greater surface area than the chip on the upper stage, the electrode terminals thereof are arranged on the perimeter of the surface thereof, the chip on the upper stage is bonded by an insulating adhesive and stacked three-dimensionally on said surface of said lower chip, and the electrode terminals of said two chips are separately or commonly connected by wiring on the inner leads of a lead frame which forms a base material, and achieves its purpose so that mounting density is improved and simplification of wiring is obtained.

(Operation)

In the high mounting density type semiconductor device of the present invention, when a plurality of IC chips are mounted within the same package, since chips having different size surface area are used in combination, and in the case of two chips, the chip having the greater surface area is placed on the lower stage, and the chip having the smaller surface area is stacked thereon and bonded using an adhesive having insulating properties, the electrode terminals of the lower chip are arranged along the perimeter of the flat portion thereof, and the terminals of the upper chip are bonded by bonding wires to the inner leads of the lead frame which forms the base material, reduction in the mounting density can be realized, and when both chips are wired, terminal-terminal connection or terminal-inner lead connection can be achieved freely, so that wiring is greatly simplified.

(Working Example)

Next, a working example of the present invention is explained referring to the drawing. FIG. 1 is a prospective view showing a working example of the high mounting density type semiconductor device of the present invention. In this drawing, 1 represents a semiconductor chip A, 2 a semiconductor chip B, 3 an adhesive agent having insulating properties that bonds chip 1 and chip 2, 4 and 5 electrode terminals of chips 1 and 2, respectively, 6 inner leads, 7 bonding wires which connect the lead terminals 4 or lead terminals 5 and inner leads 6, 8 an island part of the lead frame which forms a base material where on chips 1 and 2 are mounted, and line 9 indicates the position of the packaging, the interior of which is sealed by means of an insulating material.

As is clear from this drawing, the surface area of chip 1 is greater than the surface area of chip 2, and since electrode terminals 4 are arranged on the perimeter of the flat part of chip 1, it

is possible to bond and integrate chip 2 on chip 1, and the housing space can be dramatically reduced. When bonding is performed, the electrode terminals 4 and 5 can be individually or jointly connected to the inner lead 6, so that wiring can be performed simply and regularly.

(Effects of the Invention)

As described above, the following effects are obtained from the present invention.

(1) The mounting density of the IC chips can be improved, while at the same time simplification of wiring can also be realized.

(2) Manufacturing costs can be reduced by improving mounting density and simplification of wiring.

(3) Since each chip can be bonded and stacked, the mechanical strength of the element can be improved.

4. Brief Explanation of the Drawing

Figure 1 is a prospective view a working example of the high mounting density type semiconductor device of the present invention.

1, 2: semiconductor chip

3: adhesive agent

4, 5: chip terminals

6: inner leads

Figure 1

1, 2: semiconductor chip; 3: adhesive agent; 4, 5: chip terminals; 6: inner leads

Applicant: Hitachi Cable Co., Ltd.